



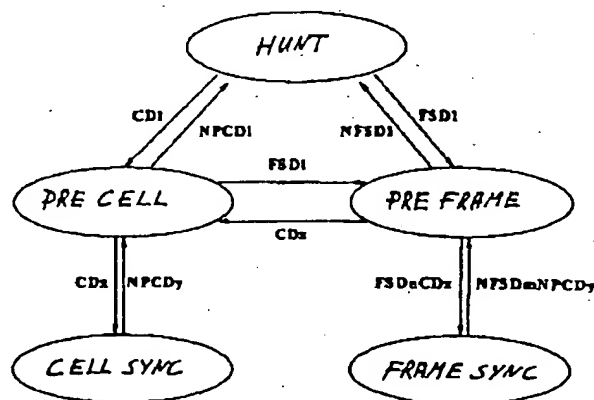
71 Anmelder:
Standard Elektrik Lorenz AG, 7000 Stuttgart, DE

72 Erfinder:
Turban, Karl-Albert, Dipl.-Ing., 7016 Gerlingen, DE

59 Für die Beurteilung der Patentfähigkeit
in Betracht zu ziehende Druckschriften:
DE 38 33 184 A1
DE-Z: SCHNEIDER, Herbert: Mit ATM zur bitraten-
variablen Kommunikation. In: telcom report 13, 1990,
H.1, S.4-7;
- DE-Buch: SCHICKER, Pietro: Datenübertragung
und Rechnernetze., B.G.Teuber Stuttgart 1983,
S.12-17;
- FR-Z: THOMAS, A.;
u.a.: Asynchronous Time-Division Techniques. In:
ISS 84, Florence, 7-11 May 1984;
- US-Z: MINZER, Steven E.: Broadband ISDN and
Asyn-chronous Transfer Mode (ATM). In: IEEE
Communi-cations Magazine, Sept. 1989, S.17-24;

54 Verfahren und Schaltungsanordnung zum Erkennen unterschiedlicher Datenstrukturen für asynchrone
Transport Module übertragende Systeme

57 Es wird eine ankommende Bitfolge auf ein vorgegebenes
Rahmensynchronwort (SDH-Rahmen) und nachfolgend auf
regelmäßig eingefügte Zellköpfe angegebene Codewörter
untersucht und entweder in einen Rahmensynchronisiermo-
dus oder in einen Zellsynchronisiermodus übergegangen.



Einerseits ist eine Übertragung von Informationen mit einem externen Rahmen gemäß einer CCITT-Empfehlung G.708 und andererseits eine Übertragung von Zellen konstanter Länge ohne externen Rahmen bekannt.

Ein externer Rahmen gemäß einer durch das CCITT eingeführten synchronen digitalen Hierarchie SDH nach G.708 besteht aus oktettorientierten synchronen Transportmodulen STM-1, mit einer Bitrate von 155 520 kbit/s.

Der Rahmen ist aus 270 Spalten mit je 9 Zeilen aufgebaut. Davon entfallen 9×9 Oktette auf einen Kopfabchnitt, section overhead SOH genannt, und 26×9 Oktette auf einen Nutzinformationsteil, payload genannt.

Im section overhead SOH ist in der ersten Zeile ein Rahmensynchronwort mit einer Länge von 6 Oktette angeordnet. Ferner befindet sich im section overhead in der 4. Zeile ein Zeiger AU-4 PTR, der einen Pfadkopfteil, path overhead POH genannt, eines virtuellen Containers VC4 des Nutzinformationsteils adressiert. Im path overhead POH ist ein weiterer Zeiger H4 angeordnet, der Zellköpfe, Header genannt, eines 260×9 Oktette großen intern zellstrukturierten Containers C4 adressiert. Die Zellstruktur des Containers ermöglicht das asynchrone Übertragen von Daten in Form von ATM-Zellen (asynchrone Transport Module) innerhalb eines synchronen Rahmens (SDH).

Bei rein zellstrukturierter Übertragung werden Zellen gleicher Länge mit einer Periodizität von 53 Oktetten übertragen, wobei jede Zelle 5 Oktette für einen Zellkopf und 48 Oktette für die Nutzinformation aufweist. Der Zellkopf ist mittels eines Codepolynoms codiert, so daß durch empfangsseitige Decodierung des Zellkopfes die nicht codierte Nutzinformation vom Zellkopf unterschieden werden kann.

Ausgehend von diesen zwei nicht kompatiblen Datenstrukturen besteht die Aufgabe gemäß der Erfindung darin, ein Verfahren und eine Schaltungsanordnung zur Durchführung des Verfahrens anzugeben, das bzw. die es ermöglicht mit großer Zuverlässigkeit ohne erheblichen Mehraufwand die richtige Datenstruktur zu erkennen.

Diese Aufgabe wird verfahrensmäßig durch die Lehre des Patentanspruchs 1 und schaltungsmäßig durch die Lehre des Patentanspruchs 6 gelöst.

Das erfindungsgemäße Verfahren ermöglicht einen Übergang in zwei stationäre Zustände, wobei die Schaltungsanordnung mittels der Schalteinheiten die Reihenfolge der funktionalen Blöcke derart verändern kann, daß nicht lediglich eine Bypassanordnung (entweder Rahmenstruktur oder Zellstruktur) sondern eine flexible Nutzung aller funktionalen Blöcke ermöglicht wird und nur ein minimaler Schaltungsaufwand erforderlich ist.

Weitere vorteilhafte Ausgestaltungen des Gegenstandes der Erfindung sind den Unteransprüchen zu entnehmen.

Ein Ausführungsbeispiel wird im folgenden anhand der Zeichnungen erläutert.

Es zeigen:

Fig. 1 eine Struktur eines gemäß einer synchronen digitalen Hierarchie aufgebauten Rahmens,

Fig. 2 ein Blockschaltbild der erfindungsgemäßen Schaltungsanordnung und

Fig. 3 ein das erfindungsgemäße Verfahren angeben-der Zustandsgraph.

Für eine durch das CCITT eingeführte synchrone digitale Hierarchie SDH, wird von einer Rahmenstruktur gemäß einer CCITT-Empfehlung G.708 ausgegangen. Ein SDH-Rahmen besteht aus oktettorientierten synchronen Transportmodulen STM-1, die für Signale mit einer Bitrate von 155 520 kbit/s vorgesehen sind.

Wie in Fig. 1 gezeigt, ist der Rahmen aus 270 Spalten und 9 Zeilen für je 1 Oktett aufgebaut. Davon entfallen 9×9 Oktette auf einen Kopfabchnitt SOH, im folgenden section overhead SOH genannt, sowie 261×9 Oktette für die Nutzinformation, die mit payload bezeichnet wird.

In der ersten Zeile des section overhead SOH ist ein Rahmensynchronwort SYNC angeordnet, das eine Länge von 6 Oktetten aufweist und zur Rahmensynchronisation periodisch (vgl. Fig. 1) übertragen wird.

Innerhalb der Nutzinformation befindet sich ein zellstrukturierter Container C4, der ein asynchrones zellstrukturiertes Signal, ATM-Zellen, mit einer Bitrate von 149,76 Mbit/s übertragen kann.

Dem Container C4 ist ein Pfadkopfteil, path overhead POH genannt, zugeordnet und der path overhead zusammen mit dem Container C4 bilden einen virtuellen Container VC4.

Ein erster Zeiger AU-4 ist in Zeile 4 des section overhead SOH angeordnet und adressiert den virtuellen Container VC4, d. h. er zeigt auf den path overhead POH.

Im path overhead ist ein zweiter Zeiger H4, in der 6. Zeile, angeordnet, der den Anfang einer ATM-Zelle, d. h. den Header adressiert (vgl. Fig. 1).

In dem in Fig. 1 gezeigten Rahmenaufbau sind nur die für die Erfindung wesentlichen Informationen gezeigt. Eine detaillierte Beschreibung sind den CCITT Empfehlungen G.707, G.708, G.709 zu entnehmen.

Bei einer rein zellstrukturierten Übertragung weisen die ATM-Zellen eine Periodizität von 53 Oktetten, mit 5 Oktetten für einen Zellkopf, im folgenden Header genannt, und 48 Oktetten für die Nutzinformation auf. Der Header ist mittels eines Codepolynoms codiert, so daß durch empfangsseitige Decodierung des Headers die nicht codierte Nutzinformation vom Header unterschieden werden kann.

Ausgehend von den zwei zuvor geschilderten Datenstrukturen wird nun die erfindungsgemäße Schaltungsanordnung gemäß Fig. 2 und das erfindungsgemäße Verfahren zum Erkennen unterschiedlicher Datenstrukturen gemäß dem in Fig. 3 gezeigten Zustandsgraphen beschrieben.

Ein über eine Eingangsleitung EL ankommende Bitfolge wird einer Rahmensynchronworterkennungseinheit FRAME zugeführt, in der durch bitweises Vergleichen der ankommenden Bitfolge mit einem vorgegebenen das Rahmensynchronwort darstellenden Referenzbitmuster die ankommende Bitfolge überprüft wird.

Die Rahmensynchronworterkennungseinheit FRAME ist über eine erste Schalteinheit S1, in einer ersten Schaltstellung, an eine mit einer Ausgangsleitung AL verbundene Zellkopfdecodiereinheit CELL angeschlossen, so daß die die Rahmensynchronworterkennungseinheit transparent durchlaufende Bitfolge quasi gleichzeitig auf regelmäßig eingefügte Zellköpfe angegebene Codeworte überprüft werden kann.

In der Fig. 2 ist jeweils die erste Schaltstellung einer Schalteinheit mit durchgezogenem Strich und die zweite Schaltstellung mit unterbrochenem Strich dargestellt.

Nach dem Erkennen eines Rahmensynchronwortes wird die Rahmensynchronworterkennungseinheit FRA-

ME über eine zweite Schalteinheit S2, in zweiter Schaltstellung, mit Mitteln ALIG zum Ausrichten der empfangenen Bitfolge in Oktette, d. h. zur Oktettgrenzenkorrektur, und mit nachgeschalteten Mitteln SOH, POH zum Lesen eines in einem vorgegebenen Abstand zum Rahmensynchronwort angeordneten Zeigers verbunden, wobei die Mittel zum Lesen SOH, POH über die erste Schalteinheit S1 in zweiter Schaltstellung mit der Zellkopfdecodiereinheit CELL verbunden sind. Außerdem ist die Ausgangsleitung AL über eine dritte Schalteinheit S3, in zweiter Schaltstellung, mit der Zellkopfdecodiereinheit CELL verbunden (vgl. Fig. 2).

Die Mittel zum Lesen bestehen aus ersten Mitteln zum Lesen eines in dem Kopfabchnitt SOH des SDH-Rahmens, Zeile 4, Spalte 1 bis 9 angeordneten ersten Zeigers AU-4, der den Pfadkopfteil POH des zellstrukturierten virtuellen Containers VC4 adressiert und aus nachgeschalteten zweiten Mitteln zum Lesen eines im Pfadkopfteil POH, Zeile 6, angeordneten zweiten Zeigers H4, der den Anfang einer ATM-Zelle, d. h. des Zellkopfes angibt, so daß in der Zellkopfdecodiereinheit CELL ein Decodieren der Codewörter erfolgen kann.

Falls kein Rahmensynchronwort erkannt wird, aber ein Zellkopf richtig decodiert wurde, sind die ersten Schaltstellungen der drei Schalteinheiten S1, S2, S3 wirksam, so daß die ankommende Bitfolge über die Rahmensynchronworterkennungseinheit FRAME, dann über die erste Schalteinheit S1 zur Zellkopfdecodiereinheit CELL, dann über die zweite Schalteinheit S2 zu den Mitteln ALIG zum Ausrichten der Oktette und dann über die dritte Schalteinheit S3 zur Ausgangsleitung AL geleitet wird (vgl. Fig. 2). Zur Steuerung der funktionalen Blöcke FRAME, ALIG, SOH, POH, CELL ist eine Verbindung mit einer Steuereinheit C, wie in Fig. 2 gezeigt, vorgesehen.

Das erfindungsgemäße Verfahren wird nun anhand des in Fig. 3 gezeigten Zustandsgraphen erläutert.

Zu Beginn wird in einem Suchmodus HUNT die ankommende Bitfolge auf das vorgegebene Rahmensynchronwort und nachfolgend auf regelmäßig auftretende Zellköpfe hin überprüft.

Werden ein Rahmensynchronwort oder ein Zellkopf richtig erkannt, so wird, wie im folgenden geschildert wird, in einen Rahmensynchronisiermodus bzw. in einen Zellsynchronisiermodus übergegangen.

Im Falle eines einmal richtig erkannten Zellkopfes CD1 (kein Rahmensynchronwort erkannt), wird in einen Zellenvorsynchronisierzustand PRE CELL übergegangen und wenn nacheinander wenigstens sechs Zellköpfe richtig erkannt werden CDX ($X = 6$), wird in einen stationären Zellsynchronzustand CELL SYNC übergegangen.

Falls jedoch in einem Zellenvorsynchronisierzustand PRE CELL ein Rahmensynchronwort erkannt wird FSD1, wird in den Rahmensynchronisierzustand PRE FRAME übergegangen.

Entsprechend wird im Rahmenvorsynchronisierzustand PRE FRAME, wenn das Rahmensynchronwort nicht bestätigt, aber die vorgegebene Anzahl von Zellköpfen CDX richtig erkannt wurden, in den Zellenvorsynchronisierzustand PRE CELL übergegangen.

Somit sind erfindungsgemäß, ausgehend von einem Suchmodus HUNT jederzeit die beiden möglichen stationären Zustände FRAME SYNC, CELL SYNC erreichbar.

Wenn nun im Zellsynchronzustand CELL SYNC eine Anzahl y aufeinanderfolgender Zellköpfe falsch erkannt werden NPCDy, wird wieder in den Zellenvorsyn-

chronisierzustand PRE FRAME und falls ein weiterer falscher Zellkopf erkannt CD1 wird zurück in den Suchmodus gegangen.

Genauso wird vom Rahmensynchronzustand FRAME SYNC in den Rahmenvorsynchronisierzustand PRE FRAME übergegangen, wenn entweder y falsche Zellköpfe hintereinander NPCDy oder m Rahmensynchronworte hintereinander nicht erkannt werden NFSDm, wobei infolge eines weiteren nicht erkannten Rahmensynchronwortes FSD1 in den Suchmodus zurückgegangen wird.

Das erfindungsgemäße Verfahren erfordert zur Unterscheidung der unterschiedlichen Datenstrukturen keinerlei zusätzliche Informationen und die erfindungsgemäße Schaltungsanordnung kann zwei funktional grundlegend unterschiedliche Datenstrukturen bei minimalem Schaltaufwand zuverlässig erkennen.

Patentansprüche

1. Verfahren zum Erkennen unterschiedlicher Datenstrukturen für asynchrone Transport Module übertragende Systeme, mit folgenden Schritten,

- Überprüfen (HUNT) einer ankommenden Bitfolge auf ein vorgegebenes Rahmensynchronwort und nachfolgendes Überprüfen (HUNT) der Bitfolge auf regelmäßig eingefügte Zellköpfe angegebene Codewörter,
- Übergehen in einen Rahmensynchronisiermodus, wenn ein Rahmensynchronwort erkannt wird oder
- Übergehen in einen Zellsynchronisiermodus, wenn eine vorgebbare Anzahl aufeinanderfolgender Zellköpfe richtig erkannt werden.

2. Verfahren nach Anspruch 1, mit folgenden Schritten,

- Übergehen in einen Rahmenvorsynchronisierzustand (PRE FRAME), wenn ein gemäß einer Rahmenstruktur nach einer CCITT-Empfehlung G.708 vorgegebenes Rahmensynchronwort erkannt wird und Lesen wenigstens eines in einem vorgegebenen Abstand zum Rahmensynchronwort angeordneten Zeigers (AU-4), der einen zellstrukturierten Datenbereich (VC4) adressiert,
- Übergehen in einen Rahmensynchronisierzustand (FRAME SYNC), wenn adressiert durch den Zeiger aufeinanderfolgend eine vorgegebene Anzahl von Zellköpfen richtig erkannt werden und wenn eine vorgegebene Anzahl von Rahmensynchronwörter richtig erkannt werden.

3. Verfahren nach Anspruch 1, mit folgenden Schritten,

- Übergehen in einen Zellenvorsynchronisierzustand (PRE CELL), wenn ein Zellkopf richtig erkannt wurde und
- Übergehen in einen Zellsynchronisierzustand (CELL SYNC), wenn nacheinander wenigstens sechs Zellköpfe richtig erkannt werden.

4. Verfahren nach Anspruch 3, mit folgendem Schritt,

- Übergehen in den Rahmenvorsynchronisierzustand (PRE FRAME), wenn im Zellenvorsynchronisierzustand (PRE CELL) ein Rahmensynchronwort erkannt wird.

5. Verfahren nach Anspruch 3, mit folgendem Schritt,

- übergehen in den Zellenvorsynchronisierungszustand (PRE CELL), wenn im Rahmenvorsynchronisierungszustand (PRE FRAME) das vorgegebene Rahmensynchronwort nicht in der vorgegebenen Anzahl erkannt wird, aber die vorgegebene Anzahl von Zellköpfen richtig erkannt werden.

6. Schaltungsanordnung zur Durchführung des Verfahrens nach einem der vorhergehenden Patentansprüche, bei der eine mit einer Eingangsleitung (EL) verbundene Rahmensynchronworterkennungseinheit (FRAME) über eine erste Schalteinheit (S1) in erster Schaltstellung mit einer mit einer Ausgangsleitung (AL) verbundenen Zellkopfdecodiereinheit (CELL) verbunden ist, und bei der nach Erkennen eines Rahmensynchronwortes die Rahmensynchronworterkennungseinheit (FRAME) über eine zweite Schalteinheit (S2) in zweiter Schaltstellung mit Mitteln (SOH, POH) zum Lesen eines in einem vorgegebenen Abstand zum Rahmensynchronwort angeordneten Zeigers und über die erste Schalteinheit (S1) in zweiter Schaltstellung die Mittel zum Lesen (SOH, POH) mit der Zellkopfdecodiereinheit (CELL) verbunden werden.

7. Schaltungsanordnung nach Anspruch 6, bei der Mittel (ALIG) zum Ausrichten der empfangenen Bitfolge in Oktette den Mitteln zum Lesen des Zeigers (SOH, POH) vorgeschaltet sind, bei der die Mittel (ALIG) zum Ausrichten über die zweite Schalteinheit (S2) in erster Schaltstellung mit der Zellkopfdecodiereinheit (CELL) und in zweiter Schaltstellung mit der Rahmensynchronworterkennungseinheit (FRAME) verbunden sind und bei der die Ausgangsleitung (AL) über eine dritte Schalteinheit (S3) in erster Schaltstellung mit den Mitteln zum Ausrichten (ALIG) bzw. in zweiter Schaltstellung mit der Zellkopfdecodiereinheit (CELL) verbunden sind.

8. Schaltungsanordnung nach Anspruch 7, bei der, bei Verwendung einer Rahmenstruktur gemäß der CCITT-Empfehlung G.708, die Mittel zum Lesen (SOH, POH) aus ersten Mitteln zum Lesen eines in einem Kopfabchnitt (SOH), Zeile 4, Spalte 1 bis 9 angeordneten ersten Zeigers (AU-4), der einen Pfadkopfteil (POH) eines zellstrukturierten virtuellen Containers (VC4) adressiert und aus nachgeschalteten zweiten Mitteln zum Lesen eines im Pfadkopfteil (POH), Zeile 6, angeordneten zweiten Zeigers (H4), der Zellköpfe des Containers (C4) adressiert, besteht.

Hierzu 3 Seite(n) Zeichnungen

35

60

65

— Leerseite —

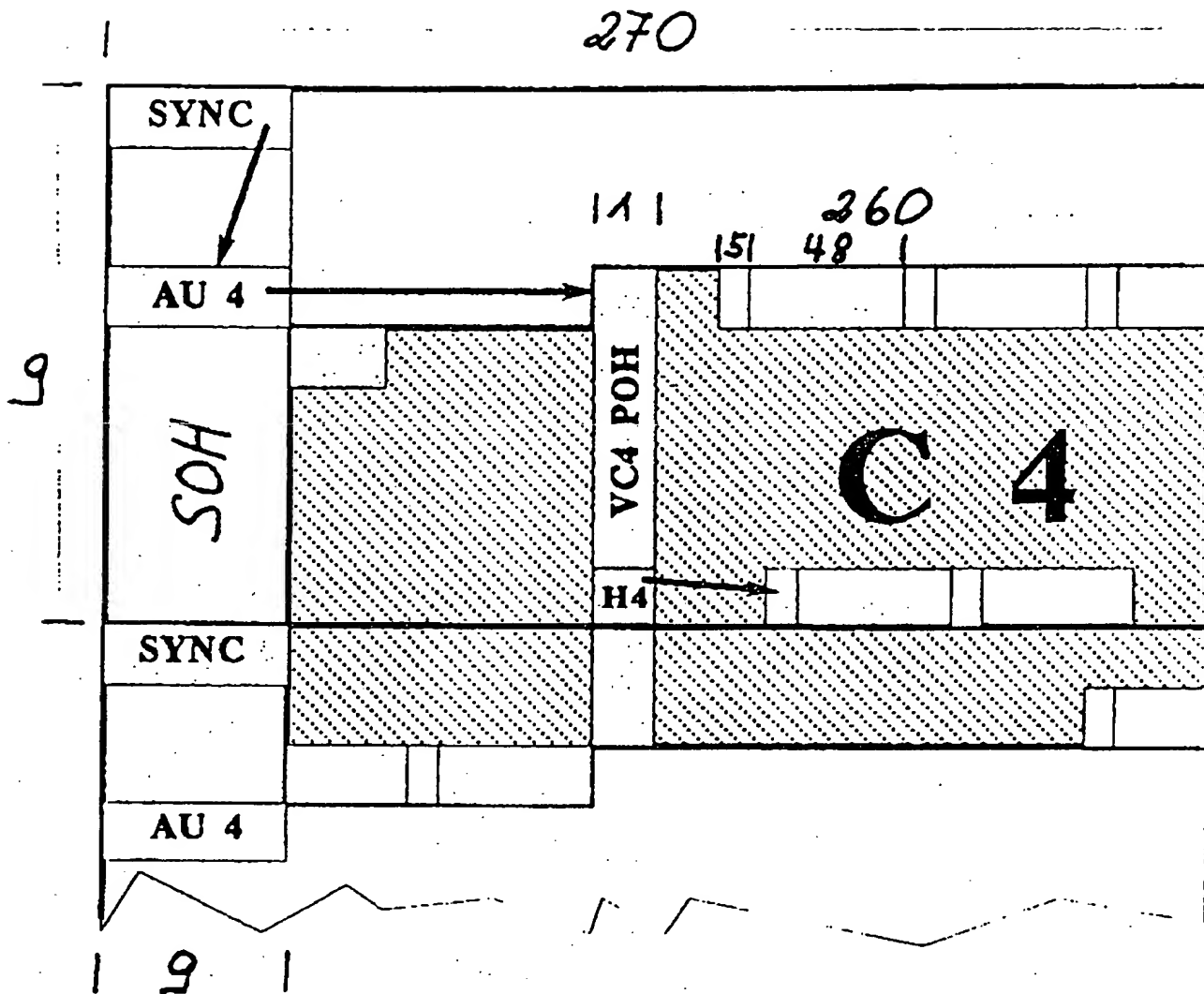


FIG 1

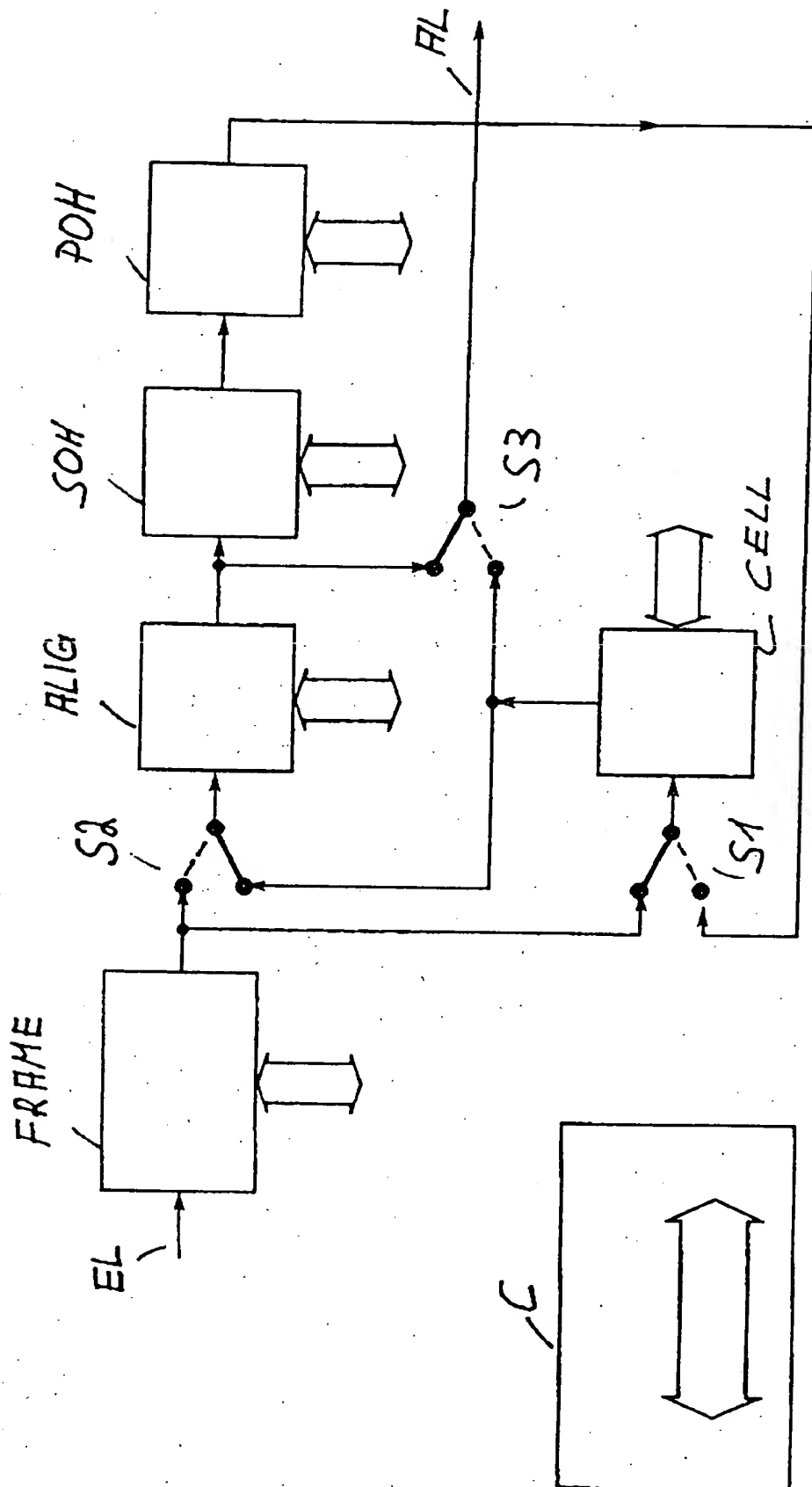


FIG. 2

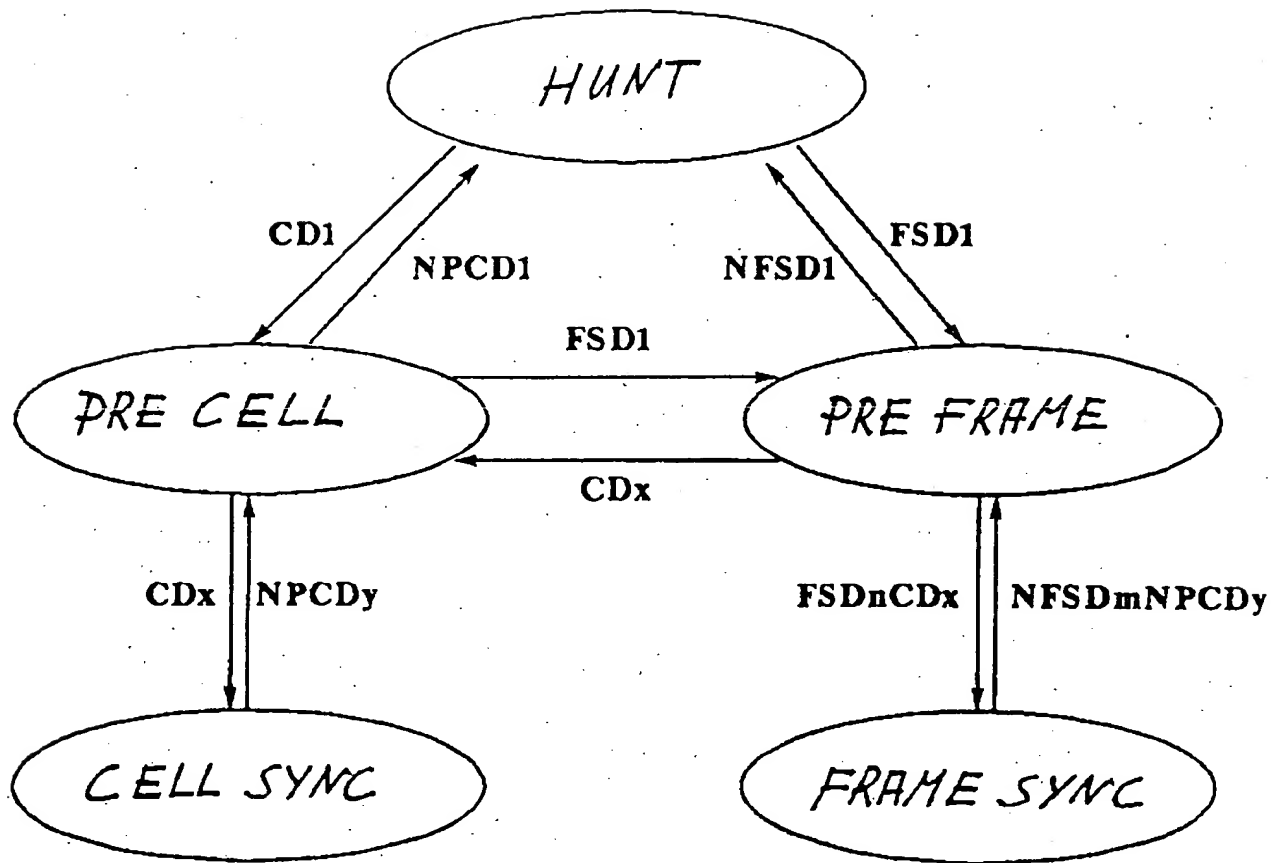


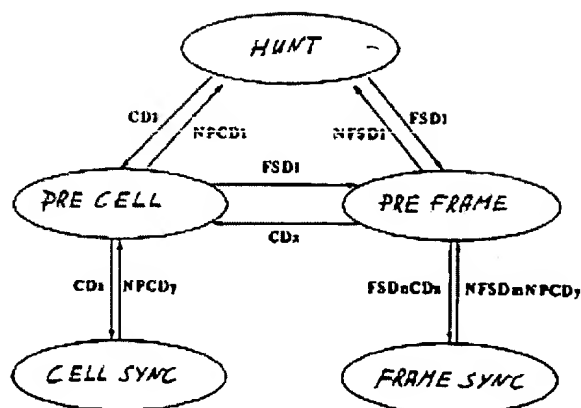
FIG. 3

Synchronising frame structure in sync. digital hierarchy

Patent number: DE4015283
Publication date: 1991-11-14
Inventor: TURBAN KARL-ALBERT DIPL ING (DE)
Applicant: STANDARD ELEKTRIK LORENZ AG (DE)
Classification:
- international: H04J3/06; H04L7/00; H04L12/56
- european: H04J3/06A1A
Application number: DE19904015283 19900512
Priority number(s): DE19904015283 19900512

Abstract of DE4015283

After recognition of the frame sync. word, its recognition unit (FRAME) is switched (S2) to a byte boundary corrector (ALIG) to which readers (SOH, POH) are connected for an indicator at a predetermined distance from the frame sync. word. The path overhead reader (POH) is switched (S) to a cell header decoder (CELL) which in turn is switched (S3) to the output line (AL). The incoming bit sequence is examined for regular cell headers and transferred in either frame or cell sync. mode.



Data supplied from the **esp@cenet** database - Worldwide